

684.3067



PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of:)
: Examiner: Unassigned
ICHIRO TANAKA)
: Group Art Unit: 2812
Application No.: 09/654,038)
:
Filed: September 1, 2000)
:
For: TWO-DIMENSIONAL PHASE)
: ELEMENT AND METHOD OF)
: MANUFACTURING THE SAME) October 30, 2000

Commissioner for Patents
Washington, D.C. 20231

CLAIM TO PRIORITY

Sir:

Applicant hereby claims priority under the International Convention and all rights to which he is entitled under 35 U.S.C. § 119 based upon the following Japanese Priority Application: JP 11-250853, filed on September 3, 1999.

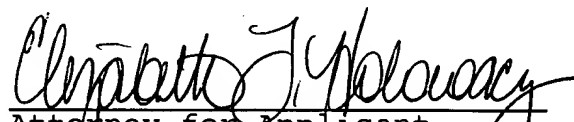
A certified copy of the priority document is enclosed.

RECEIVED
NOV - 2 2000
TC 2800 MAIL ROOM

3
2812

Applicant's undersigned attorney may be reached in
our New York office by telephone at (212) 218-2100. All
correspondence should continue to be directed to our address
given below.

Respectfully submitted,


Attorney for Applicant
Registration No. 42,667

FITZPATRICK, CELLA, HARPER & SCINTO
30 Rockefeller Plaza
New York, New York 10112-3801
Facsimile: (212) 218-2200

EFH:meg

NY_MAIN 122567 v 1

CFE 306745(V)
250853/1999

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出 願 年 月 日
Date of Application: 9 9 9 年 9 月 3 日

出 願 番 号
Application Number: 平成 1 1 年 特 許 願 第 2 5 0 8 5 3 号

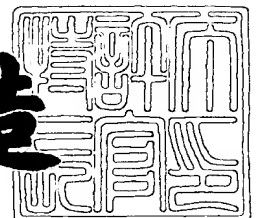
出 願 人
Applicant(s): キヤノン株式会社

RECEIVED
NOV - 2 2000
10 2500 MAIL ROOM

2 0 0 0 年 9 月 2 2 日

特 許 庁 長 官
Commissioner,
Patent Office

及 川 耕 造



出 証 番 号 出 証 特 2 0 0 0 - 3 0 7 7 1 6 0

【書類名】 特許願

【整理番号】 3907069

【提出日】 平成11年 9月 3日

【あて先】 特許庁長官 殿

【国際特許分類】 G02B 5/18

【発明の名称】 二次元位相型素子及びその作製方法

【請求項の数】 16

【発明者】

 【住所又は居所】 東京都大田区下丸子3丁目30番2号 キヤノン株式会社
社内

 【氏名】 田中 一郎

【特許出願人】

 【識別番号】 000001007

 【氏名又は名称】 キヤノン株式会社

 【代表者】 御手洗 富士夫

【代理人】

 【識別番号】 100075948

 【弁理士】

 【氏名又は名称】 日比谷 征彦

 【電話番号】 03-3852-3111

【手数料の表示】

 【予納台帳番号】 013365

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 9703876

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 二次元位相型素子及びその作製方法

【特許請求の範囲】

【請求項 1】 セグメント間のアライメントエラーを局所的部分に限定したことを特徴とする二次元位相型素子。

【請求項 2】 基板上に第 1 のエッチングマスクを市松模様状に形成し、このパターンを基準としてエッチングを行うことを特徴とする二次元位相素子又はそのモールド型の作製方法。

【請求項 3】 基板上に第 1 のエッチングマスクを市松模様状に形成し、第 1 のマスクに覆われない部分に所望のマルチレベルの段を形成し、前記第 1 のエッチングマスクを反転した第 2 のエッチングマスクを形成し、前記第 1 のエッチングマスクを除去し、前記第 2 のエッチングマスクに覆われない部分に所望のマルチレベルの段を形成することを特徴とする二次元位相型素子又はそのモールド型の作製方法。

【請求項 4】 前記第 1 のエッチングマスクはクロム膜から成ることを特徴とする請求項 2 又は 3 に記載の二次元位相型素子又はそのモールド型の作製方法。

【請求項 5】 前記第 1 のエッチングマスクはアルミニウムであることを特徴とする請求項 2 又は 3 に記載の二次元位相型素子又はそのモールド型の作製方法。

【請求項 6】 前記第 1 のエッチングマスクはアルミニウム、前記第 2 のエッチングマスクはクロムであることを特徴とする請求項 2 又は 3 に記載の二次元位相型素子又はそのモールド型の作製方法。

【請求項 7】 前記第 1 のエッチングマスクはクロム、前記第 2 のエッチングマスクはアルミニウムであることを特徴とする請求項 2 又は 3 に記載の二次元位相型素子又はそのモールド型の作製方法。

【請求項 8】 母材を石英とすることを特徴とした請求項 1 ～ 7 の何れか 1 つの請求項に記載の二次元位相型素子又はそのモールド型の作製方法。

【請求項 9】 市松模様状のパターンを形成するためのレチクルには光近接効果補正パターンを形成していることを特徴とする請求項 1 ～ 8 にの何れか 1 つの請求項に記載の二次元位相型素子又はそのモールド型の作製方法。

【請求項 1 0】 請求項 2 ～ 9 の何れか 1 つの方法により製作した二次元位相素子又はそのモールド型。

【請求項 1 1】 請求項 1 又は 1 0 に記載の位相型コンピュータジェネレイテッドホログラム又は二次元バイナリ構造体又は位相変調板を含む照明系。

【請求項 1 2】 請求項 1 1 に記載の照明系を用いた投影露光装置。

【請求項 1 3】 請求項 1 0 に記載の照明系を用いた縮小投影露光装置。

【請求項 1 4】 請求項 1 1 に記載のモールド型を用いて作製した位相型コンピュータジェネレイテッドホログラム又は二次元バイナリ構造体又は位相変調板。

【請求項 1 5】 請求項 1 2 又は 1 3 に記載の投影露光装置を用いて作製した半導体デバイス。

【請求項 1 6】 請求項 1 2 又は 1 3 に記載の投影露光装置を用いる半導体デバイスの作製方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、半導体生産用の縮小露光装置の光学部品或いは光インタコネクション用素子の部品等に用いる位相型コンピュータジェネレイテッドホログラム (C G H)、二次元バイナリ構造体或いは位相変調板による二次元位相型素子又は二次元位相素子のモールド型及びその作製方法に関するものである。

【0 0 0 2】

【従来の技術】

O p u l u s E N o . 1 1 p p 9 5 - 1 0 0 (1 9 9 6) による論文によると、レジスト塗布、マスクパターン、エッチングの工程を繰り返すことにより、階段型形状を製作する方法が開示されており、マスク数を L とすると 2^L の位相レベルを有するマルチレベル位相型 C G H が得られる。

【0 0 0 3】

図 2 4 は位相型 C G H を製作するためのレチクルの平面図を示しており、図 2 4 (a)、(b)、(c) はそれぞれレチクル 1 a、1 b、1 c のパターンを示しており、ハッチングを示した領域は遮光部を示している。また、レチクル 1 a により深さ 6 1 n m、レチクル 1 b により深さ 1 2 2 n m、レチクル 1 c により深さ 2 4 4 n m のエッチングを施す。レチクル 1 a、1 b、1 c の使用する順は不同であるが、エッチング深さの浅いレチクル 1 a から行った方が、レジストのパターニング精度は向上する。

【0 0 0 4】

先ず、基板にレジストを塗布し、図 2 4 (a) に示すレチクル 1 a を用いてレジストをパターニングし、得られたレジストパターンをマスクとして深さ 6 1 n m のエッチングを行うと、図 2 5 (a) に示すようなエッチング深さ分布となる。なお、数字はエッチング深さ (n m) を示している。その後に、レジストパターンを剥離し、再度レジストを塗布し、図 2 4 (b) に示すレチクル 1 b を用いてレジストをパターニングし、得られたレジストパターンをマスクとし、更に深さ 1 2 2 n m のエッチングを行うと、図 2 5 (b) に示すようなエッチング深さ分布となる。更に、レジストパターンを剥離し、再度レジストを塗布し、図 2 4 (c) に示すレチクル 1 c を用いてレジストをパターニングし、得られたレジストパターンをマスクとし、更に深さ 2 4 4 n m のエッチングを行うと図 2 5 (c) に示すようなエッチング深さ分布となる。また、図 1 5 は図 2 5 (c) に示す基板の E - e 線の断面図を示している。

【0 0 0 5】

【発明が解決しようとする課題】

しかしながら上述の従来例においては、レチクル間のアライメントが必要であり、フォトリソグラフィによりマルチレベル位相型 C G H を作製する場合に、理想的には図 2 6 に示すような形状になるべきであるが、実際にはアライメントエラーを生じ、図 2 7 に示す断面図のようなエッジに余分な誤差が生ずる。

【0 0 0 6】

図 2 8 はアライメントエラーにより、一辺 a の 2 回目のレジストパターンが x

方向に長さ d だけずれた場合のセグメントの平面図を示しており、領域 1 1 が最初のレジストパターンによるセグメントの境界を示しており、太線で示す領域 1 2 が 2 回目のレジストパターンを示している。従って、ハッチングで示す領域 1 3 が位相型 C G H として無効な領域となり、その面積 $S 1$ は式(1)で示される。

$$S 1 = 2 a d \quad \cdots (1)$$

【 0 0 0 7 】

図 2 9 はアライメントエラーにより、2 回目のレジストパターンが x 方向及び y 方向に共に長さ d だけずれた場合のセグメントの平面図を示しており、細線で示される領域 1 1 が最初のレジストパターンによるセグメントの境界を示しており、太線で示す領域 1 4 が 2 回目のレジストパターンを示している。従って、ハッチングで示す領域 1 5 が位相型 C G H として無効な領域となり、その面積 $S 2$ は式(2)で示される。

$$S 2 = 4 a d - 2 d^2 \quad \cdots (2)$$

【 0 0 0 8 】

また、上述の方法により製作した位相型 C G H を用いた照明系は、アライメントエラーを有するため、所望の場所以外に光束を投影したり、或いは像の劣化等の性能低下を引き起し、所望の性能を得ることができない。

【 0 0 0 9 】

また、その照明系を用いた投影露光装置も所望の性能を得ることができず、更にはその投影露光装置を用いて半導体デバイスを作製する際には光学的に所望の性能を得ることができないため、歩留低下等によりデバイスの生産性が低下し、デバイス価格は上昇する。

【 0 0 1 0 】

また、セグメントの形状を規定するレジストパターンは、現実的には完全な矩形状に形成することは困難であり、これを回避するために通常では O P C と呼ばれる予備パターンを形成するが、形状が不規則なためレチクル設計において補正パターンの計算が複雑となり、レチクルのコストを上昇してしまう。

【 0 0 1 1 】

本発明の目的は、上述したアライメントエラーにより生ずる無効な領域を小さ

くすることにより、安価で高性能な二次元位相型素子及びその作製方法を提供することにある。

【0012】

【課題を解決するための手段】

上記目的を達成するための本発明に係る二次元位相型素子は、セグメント間のアライメントエラーを局所的部分に限定したことを特徴とする。

【0013】

また、本発明に係る二次元位相型素子又はそのモールド型の作製方法は、基板上に第1のエッチングマスクを市松模様状に形成し、第1のマスクに覆われない部分に所望のマルチレベルの段を形成し、前記第1のエッチングマスクを反転した第2のエッチングマスクを形成し、前記第1のエッチングマスクを除去し、前記第2のエッチングマスクに覆われない部分に所望のマルチレベルの段を形成することを特徴とする。

【0014】

【発明の実施の形態】

本発明を図1～図23に図示の実施例に基づいて詳細に説明する。

図1において、先ず石英基板上にエッチングマスクとして、膜厚約100nmのクロム膜21を成膜し、更にこのクロム膜21上にフォトレジストを塗布し、フォトリソグラフィにより市松模様（チェッカフラッグ）状の幅1 μ mのレジストパターン22を形成する。

【0015】

本実施例においては、基板材料として石英を使用しているが、フッ化カルシウム、フッ化マグネシウム、フッ化リチウム、フッ化アルミニウム等のフッ化物を用いてもよい。フッ化物は特にArFレーザー光や、フッ素レーザー光等の短波長を用いる露光装置に用いる位相型CGH、位相変調板に有効である。また、石英はArFエキシマレーザー光、KrFエキシマレーザー光又は超高圧水銀ランプを使用したi線等の露光装置に用いる位相型CGH、位相変調板に適している。また、レジストパターン22の形成には、フォトリソグラフィの他にステッパ、EB描画装置、イオン描画装置を用いてもよい。

【0016】

図2は各セグメントにおける基板のエッチング深さの分布を示しており、基板のエッチングは行われていないため、全て0 (nm)である。

【0017】

次に、レジストパターン22をマスクとしてクロム膜21を平行平板R I E法により、例えば塩素及び酸素から成る混合ガスを用いエッチングし、クロム膜パターンを形成する。また、R I E法以外にスパッタエッチングや特にフッ化物系材料の場合に最適なイオンミリング法、I C P法やU H Fプラズマ法等の低圧高密度プラズマを用いたエッチング方法を用いてもよい。

【0018】

続いて、このレジストパターン22を剥離することにより、図3に示すようなクロム膜パターン21aを形成することができ、フォトレジストを再度塗布し、フォトリソグラフィによりレジストパターン23を形成する。また、このレジストパターン23はセグメントの対角線の長さを直径とする円形を示しているが、セグメントの対角線の長さを一辺の長さとする正方形としてもよい。

【0019】

次に、クロム膜パターン21a、レジストパターン23をマスクとして石英基板を深さ61nmエッチングする。また、図4はこの1回目のエッチング後の各セグメントにおける石英基板のエッチング深さ (nm)の分布を示している。

【0020】

更に、このレジストパターン23を剥離した後に、再度フォトレジストを塗布しフォトリソグラフィにより、図5に示すようなレジストパターン24を形成する。また、レジストパターン24はレジストパターン23と同様に円形を示しているが、セグメントの対角線の長さを一辺の長さとする正方形としてもよい。続いて、このクロム膜パターン21a、レジストパターン24をマスクとし石英基板をR I E法により、更に深さ122nmエッチングする。また、図6は2回目のエッチング後の各セグメントにおける石英基板のエッチング深さの分布を示している。

【0021】

次に、レジストパターン 24 を剥離し、再度フォトレジストを塗布しフォトリソグラフィにより、図 7 に示すようなレジストパターン 25 を形成し、クロム膜パターン 21 a、レジストパターン 25 をマスクとし R I E 法により、更に深さ 244 nm エッチングする。図 8 は 3 回目のエッチング後の各セグメントにおける石英基板のエッチング深さの分布を示している。また、レジストパターン 25 はレジストパターン 23 と同様に円形を示しているが、正方形でもよい。

【0022】

続いて、図 9 に示すようにレジストパターン 25 を剥離し、その上にスパッタリング法により、膜厚 100 nm のアルミニウム膜 31 を成膜する。次に、クロム膜パターン 21 a の表面が露出するまで研磨剤として、粒径 5 / 100 μ m の酸化セリウム、研磨布としてウレタンシートを用い、ラップ盤により 30 rpm、50 g / cm^2 の条件において研磨する。

【0023】

図 10 は研磨後の基板の平面図を示しており、クロム膜パターン 21 a 及びアルミニウム膜パターン 31 a が市松模様状に交互に配置されている。更に、このクロム膜パターン 21 a を例えば硝酸セリウムアンモニウム、過塩素酸、水の混合液によるエッチング液を用いてウエットエッチングすることにより除去する。このように、クロム膜パターン 21 a は除去することにより、クロム膜パターン 21 a を反転したアルミニウム膜パターン 31 a を形成することができる。

【0024】

そして、図 11 に示すように更にフォトレジストを塗布し、フォトリソグラフィによりレジストパターン 51 を形成する。レジストパターン 51 はセグメントの対角線の長さを直径とする円形の場合を示しているが、レジストパターン 23 と同様にセグメントの対角線の長さを一辺の長さとする正方形としてもよい。

【0025】

アルミニウム膜パターン 31 a とフォトレジストパターン 51 をマスクとして、石英基板を R I E 法により深さ 61 nm エッチングする。図 12 はこの 1 回目のエッチング後の各セグメントにおける石英基板のエッチング深さの分布を示している。

【0026】

次に、図13に示すようにレジストパターン51を剥離し、再度フォトリソレジストを塗布し、フォトリソグラフィによりレジストパターン52を形成する。そして、アルミニウム膜パターン31aとレジストパターン52をマスクとして、更に深さ122nmエッチングする。図14はこの各セグメントにおける石英基板のエッチング深さを示している。また、レジストパターン52はセグメントの対角線の長さを一辺の長さとする正方形としてもよい。

【0027】

続いて、図15に示すようにレジストパターン52を剥離し、再度フォトリソレジストを塗布し、フォトリソグラフィによりレジストパターン53を形成する。そして、アルミニウム膜パターン31aとレジストパターン53をマスクとして、更に深さ244nmエッチングする。図16は各セグメントの石英基板のエッチング深さの分布を示している。また、レジストパターン53はセグメントの対角線の長さを一辺の長さとする正方形としてもよい。

【0028】

更に、レジストパターン53を剥離した後に、アルミニウム膜パターン31aを例えばリン酸、硝酸、酢酸、水の混合溶液を用いてウェットエッチングにより除去することにより、8段形状を有する位相型CGHを得ることができる。

【0029】

図17はアライメントエラーにより、レジストパターン23がx方向に長さdだけずれた場合のセグメントの平面図を示しており、レジストパターン23は一辺の長さが $2^{1/2}a$ の正方形であり、クロム膜パターン21aの格子に対しては 45° 傾いている。

【0030】

図3、図5、図7において、レジストパターン23は円形のものを用いたが、図17においては説明を簡略化するために正方形のものを使用している。従って、ハッチングで示した領域61が無効な領域となり、局所的部分に限定され、その面積 S_3 は式(3)で示される。図28の従来例と比較すると、 $d < a$ である限り、 $S_1 > S_3$ が成立する。

$$S 3 = 2 d^2 \quad \dots (3)$$

【 0 0 3 1 】

通常のパターニングでは、 $d \ll a$ の条件においてアライメントを行うため、本実施例のレジストパターン 2 3 が従来例において示したレジストパターン 1 2 よりも無効な領域を小さくすることができる。

【 0 0 3 2 】

図 1 8 はアライメントエラーにより、レジストパターン 2 3 が x 方向及び y 方向にそれぞれ長さ d だけずれた場合のセグメントの平面図を示しており、レジストパターン 2 3 は図 1 7 と同様に、一辺の長さは $2^{1/2}a$ の正方形であり、クロム膜パターン 2 1 a の格子に対して 45° 傾いている。

【 0 0 3 3 】

従って、ハッチングで示した領域 6 2 が無効な領域となり、局所的部分に限定され、その面積 S 4 は次の式 (4) で示されるので図 2 9 の従来例と比較すると、 $d < 2a/3$ である限り、 $S 2 > S 4$ が成立する。

$$S 4 = 4 d^2 \quad \dots (4)$$

【 0 0 3 4 】

通常のパターニングでは、 $d \ll a$ の条件においてアライメントを行うため、本実施例のレジストパターン 2 3 が従来例において示したレジストパターン 1 2 よりも無効な領域を小さくすることができる。

【 0 0 3 5 】

本実施例においては、2つのモデルを用いて従来例と比較したが、任意の方向にアライメントエラーが生じた際にも、本実施例のアライメントエラーの方が無効な領域を小さくすることができる。

【 0 0 3 6 】

図 1 9 (a) は本実施例における市松模様状のクロム膜パターンを形成するためのレチクルの概略図を示している。しかし、図 1 9 (a) に示すレチクルを用いて形成したレジストパターンは図 1 9 (b) に示すようになり、正確なクロム膜パターンを形成することができない。

【 0 0 3 7 】

そこで、光近接効果補正を行った図 1 9 (c) に示すようなレチクルを用いることにより、図 1 9 (d) に示すようなレジストパターンを得ることができ、より正確なクロム膜パターンが作製可能となる。

【 0 0 3 8 】

また、位相型 C G H 或いは二次元バイナリ構造体或いは位相変調板には必要に応じて、反射防止膜を形成することもある。基板に反射材料を用いたり或いは蒸着、メッキ、スパッタ、C V D 法等の方法により反射材料を成膜することにより、反射型の位相型 C G H 或いは二次元バイナリ構造体或いは位相変調板を作製することもできる。また、この表面に反射増強膜を形成してもよい。

【 0 0 3 9 】

図 2 0 は階段状回折光学素子の作製模式図を示しており、本実施例において作製した位相型 C G H をモールド型として用い、樹脂製の階段状回折光学素子を作製することができる。先ず、図 2 0 (a) に示すようにガラス基板 7 1 にシリンジ 7 2 を用いて、反応硬化型樹脂、即ちアクリル系、エポキシ系等の紫外線硬化型樹脂或いは熱硬化型樹脂等の樹脂 7 3 を滴下する。

【 0 0 4 0 】

次に、図 2 0 (b) に示すように本実施例における方法により作製した位相型 C G H 7 4 を樹脂 7 3 の上面から押圧することにより、図 2 0 (c) に示すようなレプリカ層 7 5 を形成する。この際に、型となる位相型 C G H 7 4 を樹脂 7 3 に押圧する前に、位相型 C G H 7 4 の表面に必要な応じ離型剤を塗布することにより離型し易くする。

【 0 0 4 1 】

次に、紫外線硬化型樹脂を用いた場合には型となるガラス基板 7 1 の側から紫外線を照射し、樹脂 7 3 を固化させる。また、熱硬化型樹脂を用いた場合には加熱処理を施すことにより樹脂 7 3 を固化させる。その後に、ガラス基板 7 1 からレプリカ層 7 5 を剥離することにより、図 2 0 (d) に示すような階段状回折光学素子 7 6 を得ることができる。

【 0 0 4 2 】

図 2 1 は本実施例により作製した位相型 C G H を用いた i 線或いは K r F 等の

紫外線を用いた半導体用露光装置の照明系の概略図を示している。光源 81 から出射した光束は、ビーム整形光学系 82 を介して位相型 CGH 83 に入射する。この CGH 素子 83 を透過した光束はリレーレンズ系 84、絞り 85、ズーム光学系 86、多光束発生光学系 87、照射手段 88 を介して被照射面 89 に照射される。

【0043】

位相型 CGH 83 は輪帯状或いは 4 重極状の形状を作り出す役割を有しており、上述した方法により作製された位相型 CGH を使用することにより、変形照明時の光学性能及び光の利用効率を向上させることができる。更に、この照明系を用いて i 線或いは KrF 等の紫外線を用いた半導体用露光装置を作製すると、高性能な半導体用露光装置を完成することができる。

【0044】

図 22 は IC や LSI 等の半導体チップ、液晶パネル或いは CCD 等の半導体デバイスの製造工程のフローチャート図を示している。先ず、ステップ S1 において半導体デバイスの回路設計を行い、続いてステップ S2 においてステップ S1 で設計した回路パターンを EB 描画装置等を用いマスクを作成する。一方、ステップ S3 においてシリコン等の材料を用いてウェハを製造する。その後、前工程と呼ばれるステップ S4 において、ステップ S2、S3 において用意したマスク及びウェハを用い、マスクを露光装置内にローディングし、マスクを搬送しマスクチャックにチャッキングする。

【0045】

次に、ウェハをローディングしてアライメントのずれを検出して、ウェハステージを駆動して位置合わせを行い、アライメントが合致したならば露光を行う。露光の終了後にウェハは次のショットヘステップ移動し、リソグラフィ技術によってウェハ上に回路を形成する。更に、後工程と呼ばれるステップ S5 において、ステップ S4 によって製造されたウェハを用いてダイシング、ボンディング等のアッセンブリ工程、チップ封入等のパッケージング工程を経て半導体チップ化する。チップ化された半導体デバイスは、ステップ S6 において動作確認テスト、耐久テスト等の検査を行う。このような一連の工程を経て半導体デバイスは完

成し、ステップ S 7 に進み出荷される。

【 0 0 4 6 】

図 2 3 は図 2 2 におけるステップ S 3 において、ウェハ製造の詳細な製造工程のフローチャート図を示している。先ず、ステップ S 1 1 においてウェハ表面を酸化させる。続いて、ステップ S 1 2 においてウェハ表面を C V D 法により絶縁膜を形成し、ステップ S 1 3 において電極を蒸着法により形成する。更にステップ S 1 4 に進みウェハにイオンを打込む。続いて、ステップ S 1 5 においてウェハ上に感光剤を塗布する。ステップ S 1 6 では半導体露光装置によりマスクの回路パターンをウェハ上の感光剤上に焼付ける。

【 0 0 4 7 】

ステップ S 1 7 において、ステップ S 1 6 において露光したウェハ上の感光剤を現像する。更に、ステップ S 1 8 でステップ S 1 7 において現像したレジスト像以外の部分をエッチングする。その後に、ステップ S 1 9 においてエッチングが済んで不要となったレジストを剥離する。更に、これらの一連の工程を繰り返し行うことにより、ウェハ上に多重の回路パターンを形成することができる。

【 0 0 4 8 】

【発明の効果】

以上説明したように本発明に係る二次元位相型素子及びその作製方法は、レジストパターンをセグメントの対角線の長さを直径とする円形又はセグメントの対角線の長さを一辺の長さとする正方形とすることにより、アライメントエラーが局所的部分に限定され、位相型 C G H 或いは二次元バイナリ構造体或いは位相変調板の光学性能を向上させることができる。

【図面の簡単な説明】

【図 1】

レジストパターンの平面図である。

【図 2】

エッチング深さの分布図である。

【図 3】

レジストパターンの平面図である。

【図 4】

エッチング深さの分布図である。

【図 5】

レジストパターンの平面図である。

【図 6】

エッチング深さの分布図である。

【図 7】

レジストパターンの平面図である。

【図 8】

エッチング深さの分布図である。

【図 9】

基板の平面図である。

【図 1 0】

基板の平面図である。

【図 1 1】

レジストパターンの平面図である。

【図 1 2】

エッチング深さの分布図である。

【図 1 3】

レジストパターンの平面図である。

【図 1 4】

エッチング深さの分布図である。

【図 1 5】

レジストパターンの平面図である。

【図 1 6】

エッチング深さの分布図である。

【図 1 7】

レジストパターンにおけるずれの概略図である。

【図 1 8】

レジストパターンにおけるずれの概略図である。

【図 1 9】

レチクルの平面図である。

【図 2 0】

階段状回折光学素子の作製模式図である。

【図 2 1】

半導体用露光装置の照明系の概略図である。

【図 2 2】

半導体素子の製造方法のフローチャート図である。

【図 2 3】

半導体素子の製造方法のフローチャート図である。

【図 2 4】

レチクルの平面図である。

【図 2 5】

エッチング深さの分布図である。

【図 2 6】

位相型 C G H の断面図である。

【図 2 7】

位相型 C G H の断面図である。

【図 2 8】

レジストパターンがずれた場合の平面図である。

【図 2 9】

レジストパターンがずれた場合の平面図である。

【符号の説明】

2 1 クロム膜

2 1 a クロム膜パターン

2 2、2 3、2 4、2 5、5 1、5 2、5 3 レジストパターン

3 1 アルミニウム膜

3 1 a アルミニウム膜パターン

6 1、6 2 領域

7 1 ガラス基板

7 2 シリンジ

7 3 樹脂

7 4 位相型 C G H

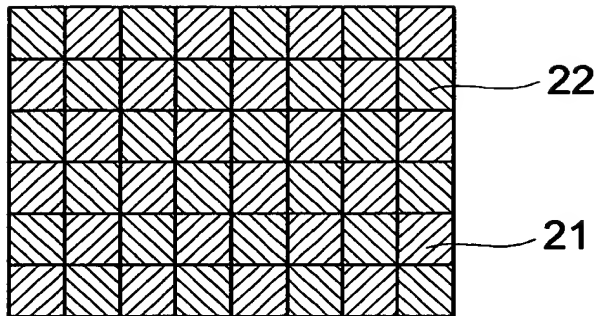
7 5 レプリカ層

7 6 階段状回折光学素子

2 7 整形された C G H

【書類名】 図面

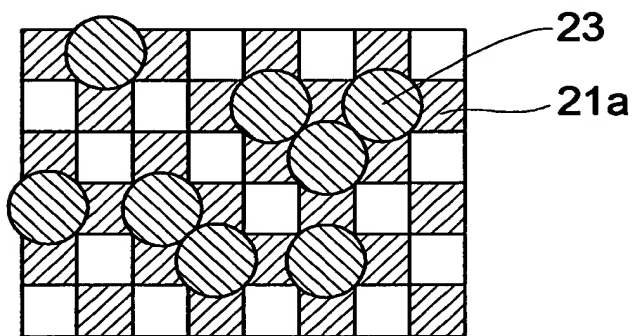
【図 1】



【図 2】

0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0

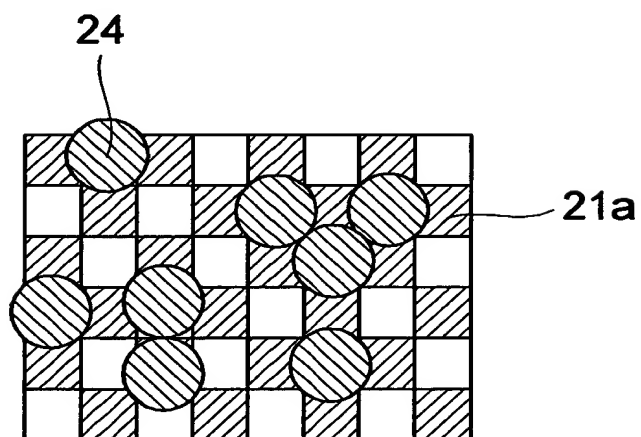
【図 3】



【図 4】

0	61	0	61	0	61	0	61
61	0	61	0	0	0	0	0
0	0	0	61	0	61	0	61
0	0	61	0	0	0	61	0
0	61	0	61	0	0	0	61
61	0	0	0	61	0	61	0

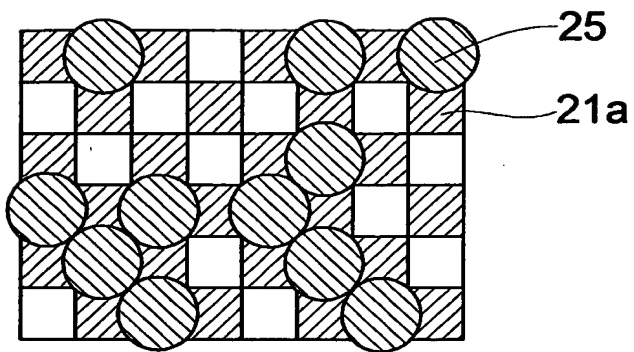
【図 5】



【図 6】

0	61	0	183	0	183	0	183
183	0	183	0	0	0	0	0
0	122	0	183	0	61	0	183
0	0	61	0	122	0	122	0
0	183	0	61	0	0	0	183
122	0	122	0	183	0	183	0

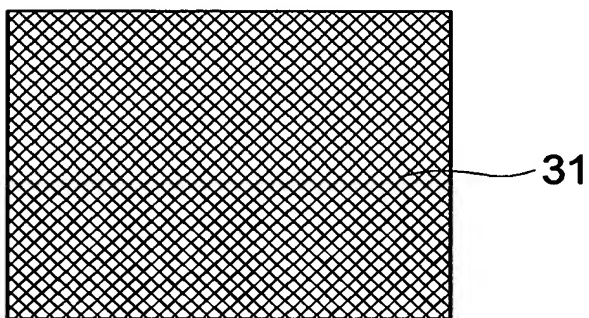
【图 7】



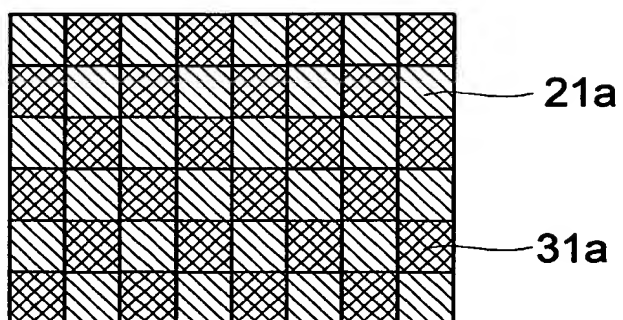
【图 8】

0	61	0	427	0	183	0	183
427	0	427	0	244	0	244	0
0	366	0	427	0	61	0	427
0	0	61	0	122	0	305	0
0	183	0	305	0	0	0	427
366	0	122	0	427	0	183	0

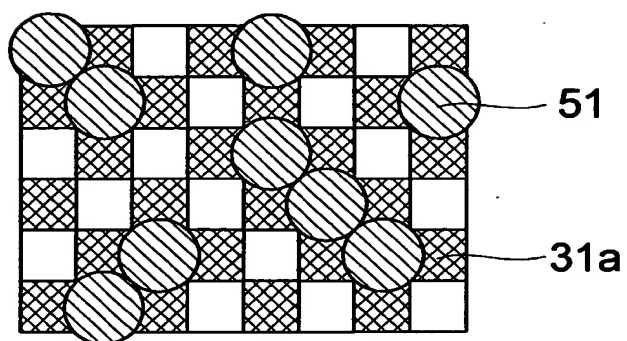
【图 9】



【図 1 0】



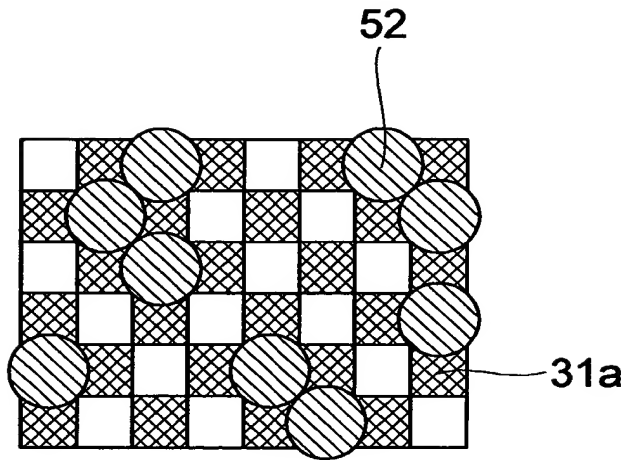
【図 1 1】



【図 1 2】

0	61	61	427	0	183	61	183
427	0	427	61	244	61	244	0
61	366	61	427	0	61	61	427
0	61	61	61	122	0	305	61
61	183	0	305	61	0	0	427
366	0	122	61	427	0	183	0

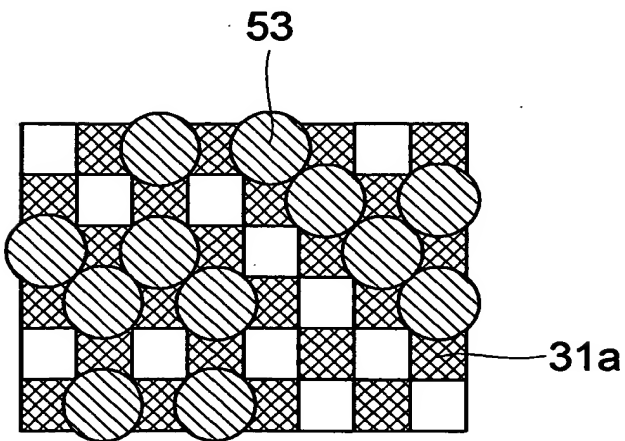
【図 1 3】



【図 1 4】

122	61	61	427	122	183	61	183
427	0	427	183	244	183	244	0
183	366	61	427	122	61	183	427
0	61	61	183	122	122	305	61
61	183	122	305	183	0	122	427
366	122	122	183	427	0	183	0

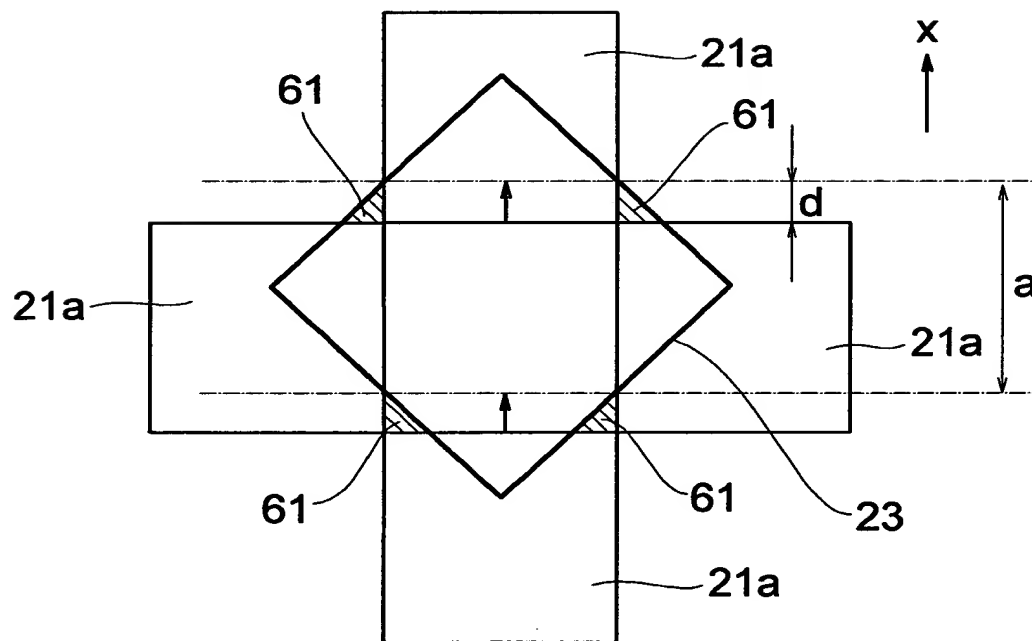
【図 1 5】



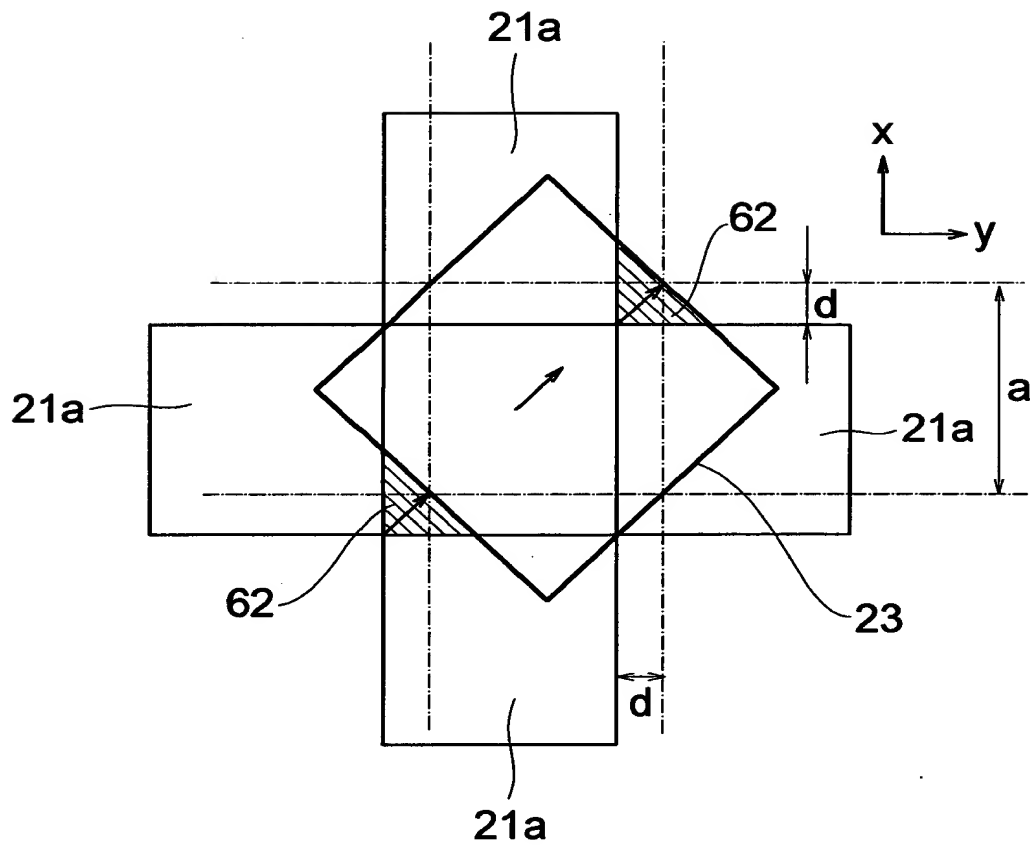
【図 1 6】

366	61	61	427	122	183	305	183
427	244	427	427	244	183	244	0
183	366	61	427	366	61	183	427
0	183	61	183	122	366	305	61
305	183	366	305	427	0	366	427
366	122	122	183	427	244	183	366

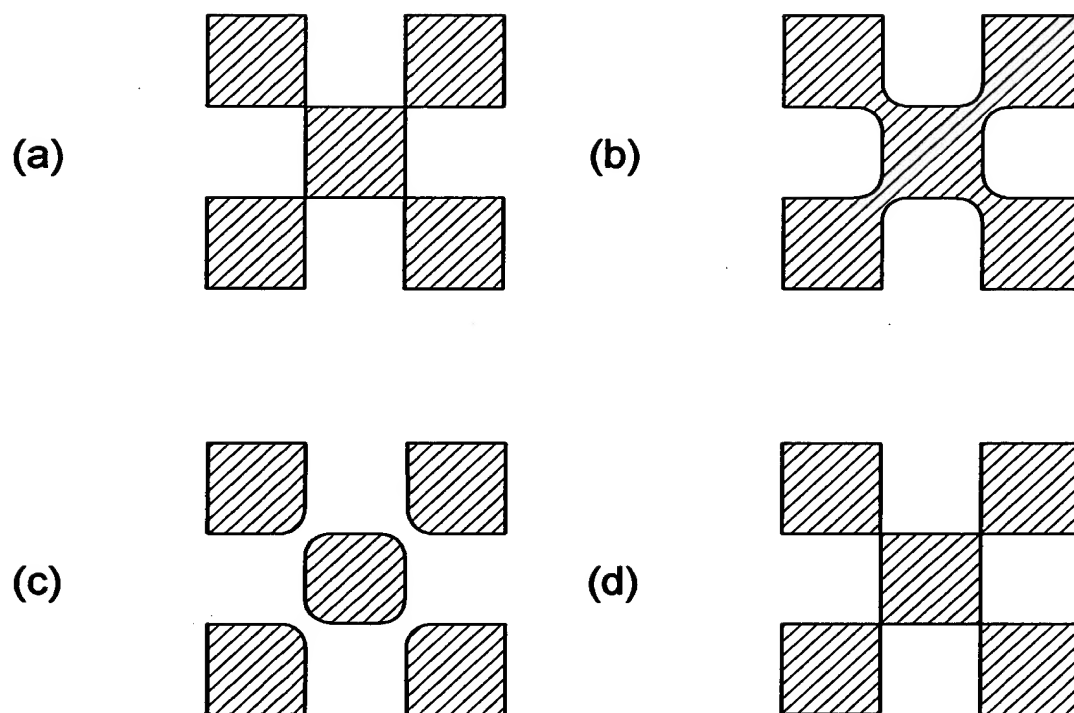
【図 1 7】



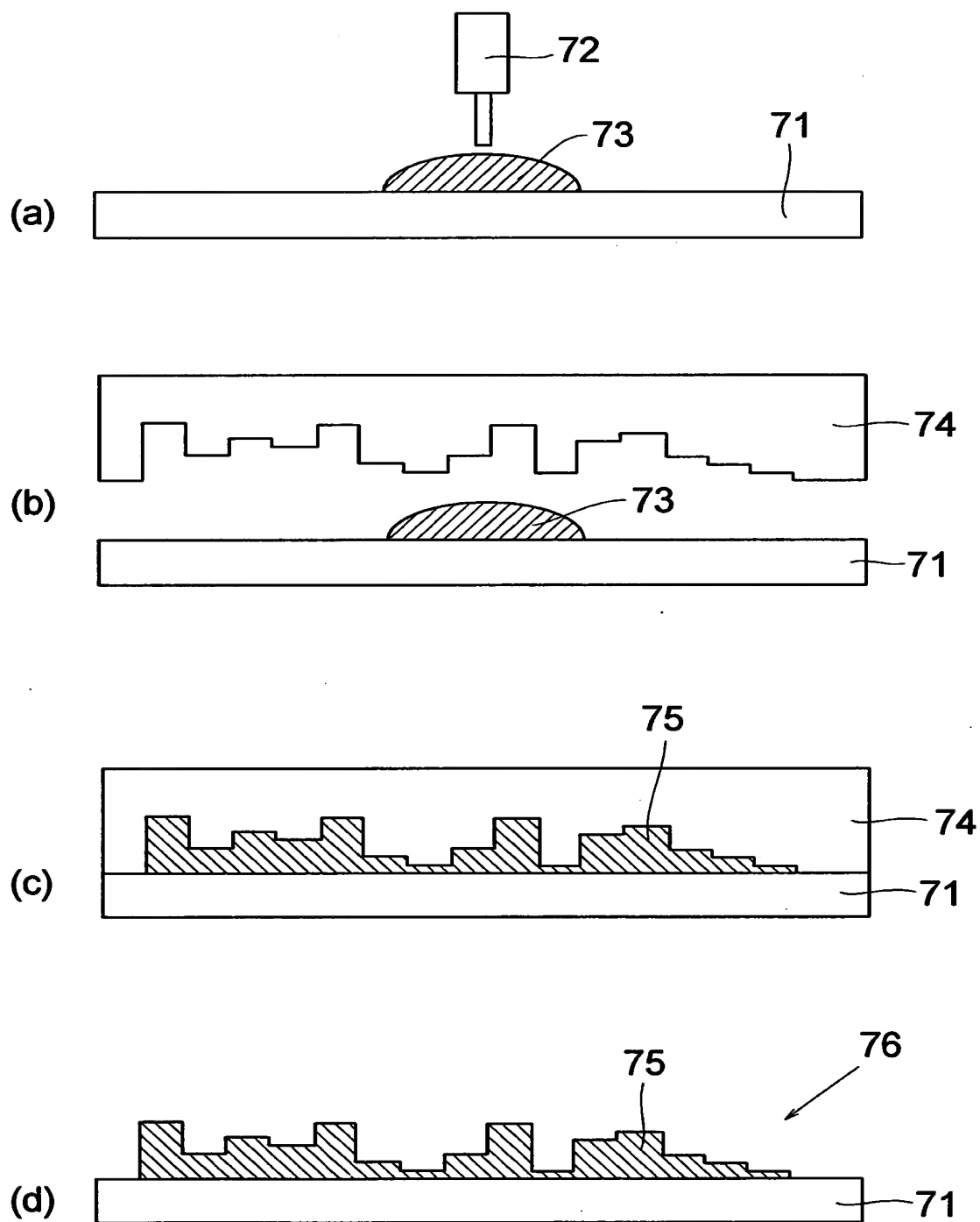
【図 1 8】



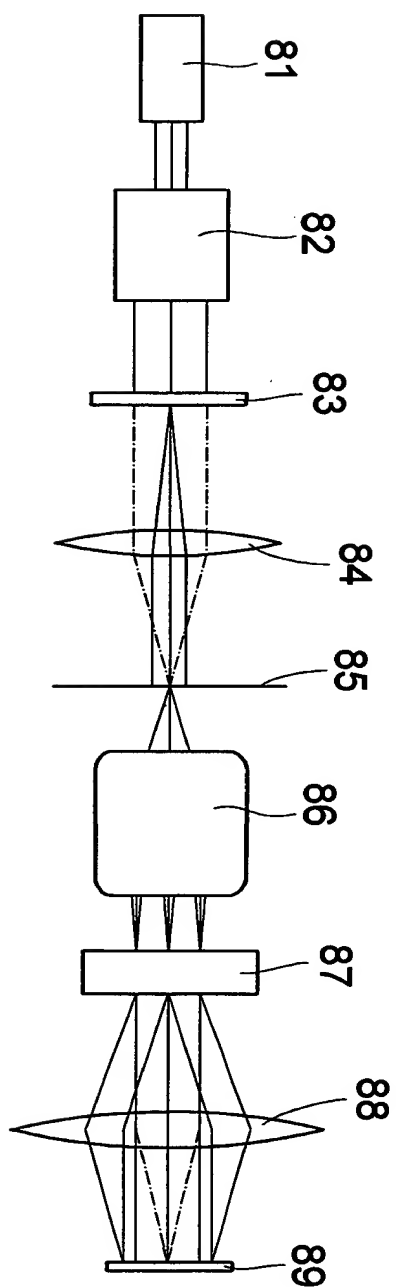
【図 1 9】



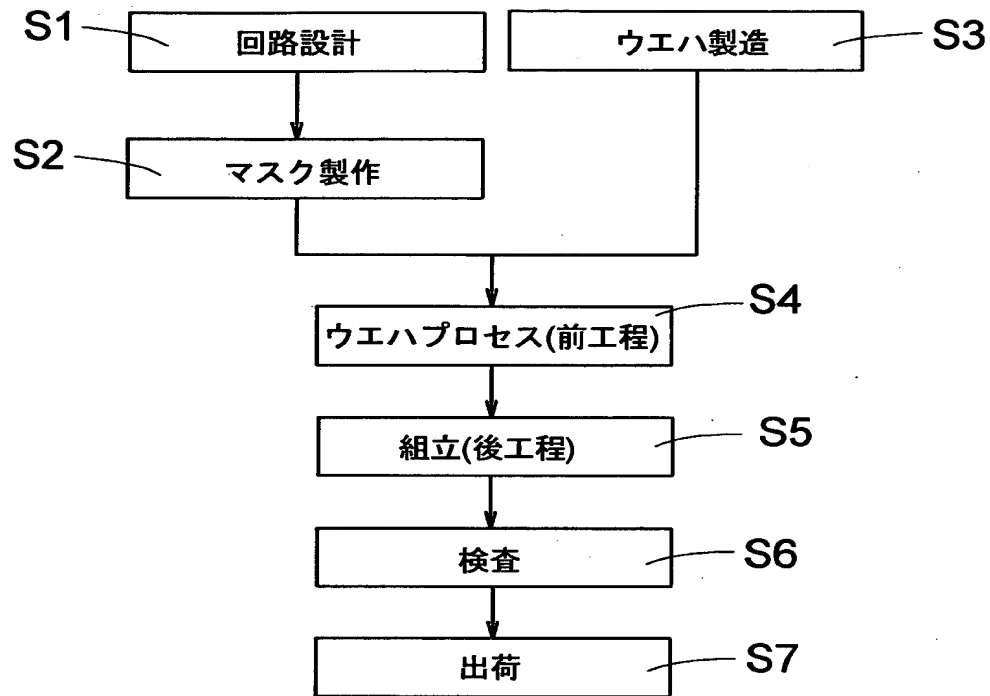
【図 20】



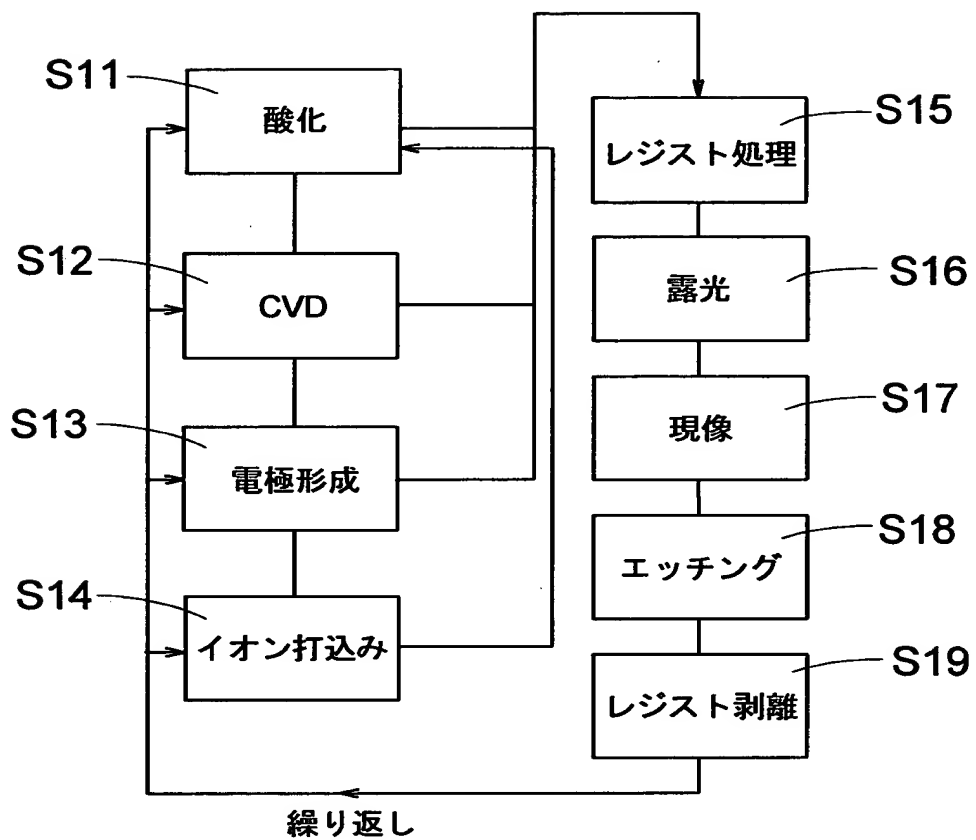
【図 2 1】



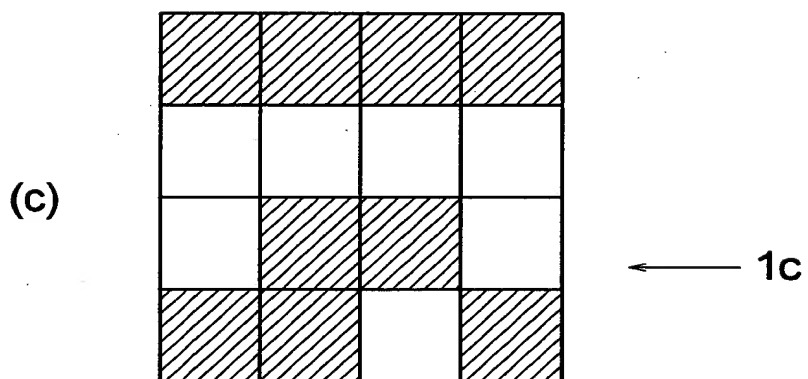
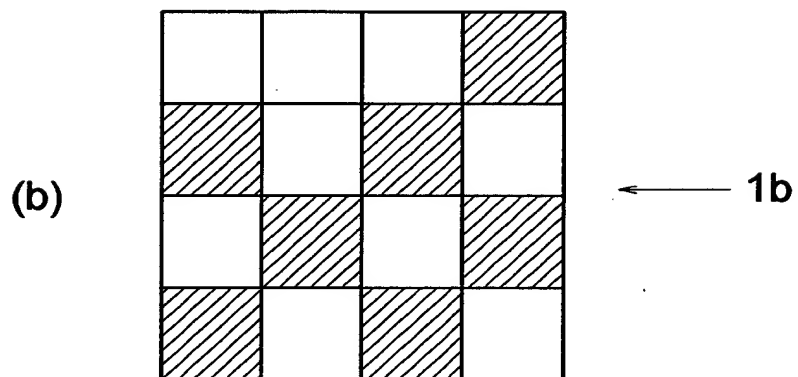
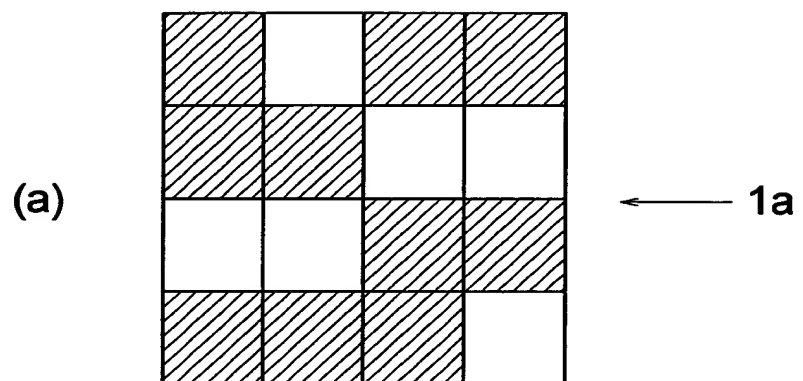
【図 2 2】



【図 2 3】



【図 2 4】



【図 2 5】

(a)

0	61	0	0
0	0	61	61
61	61	0	0
0	0	0	61

(b)

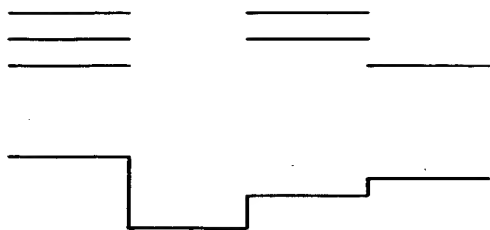
122	183	122	0
0	122	61	183
183	61	122	0
0	122	0	183

(c)

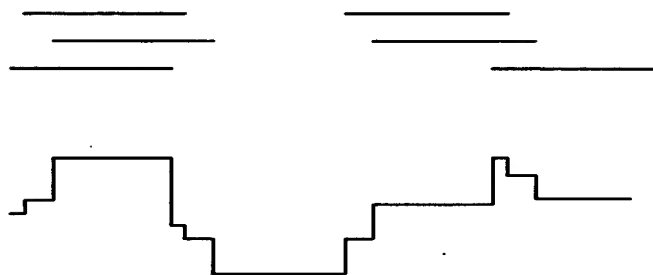
122	183	122	0
244	366	305	427
427	61	122	244
0	122	244	183

E
↑
↓
e

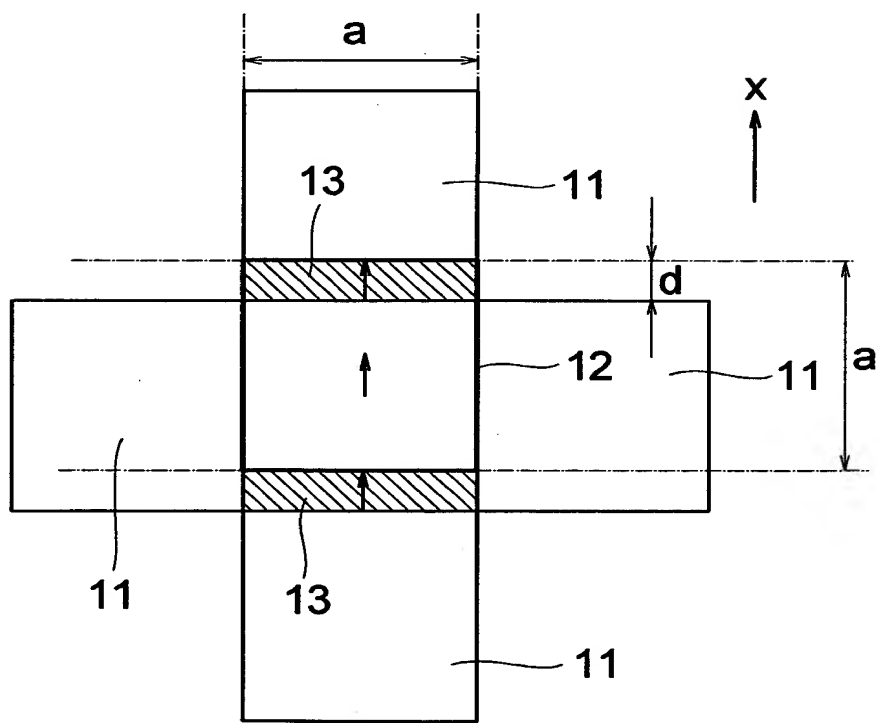
【図 2 6】



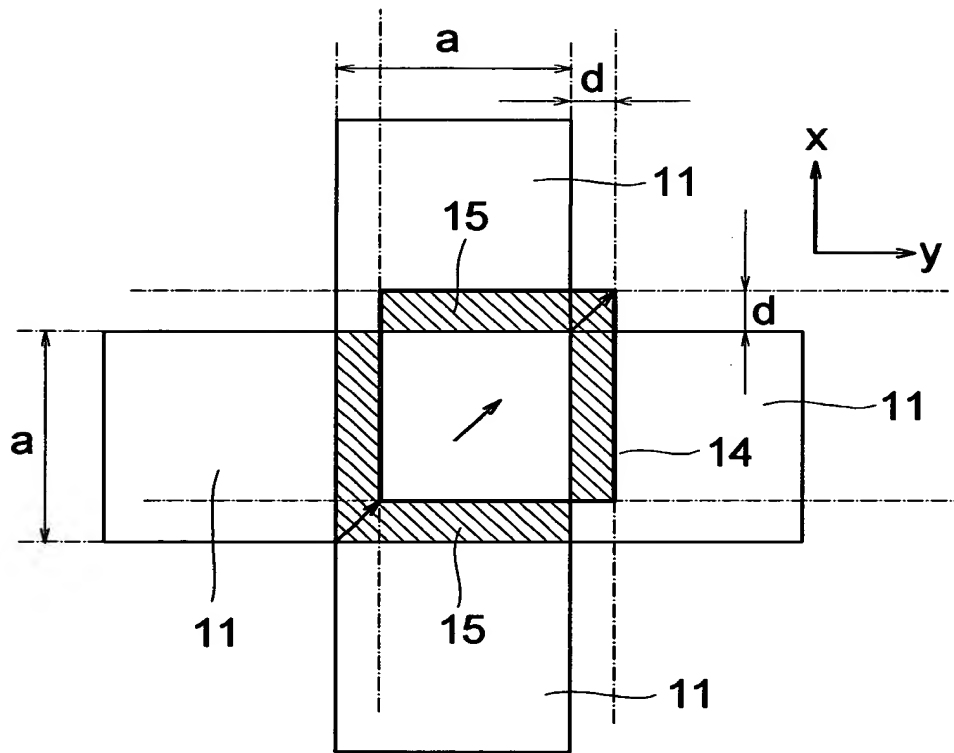
【図 2 7】



【図 2 8】



【図 2 9】



【書類名】 要約書

【要約】

【課題】 アライメントエラーによる無効となる領域を小さくする。

【解決手段】 アライメントエラーにより、一辺が a のレジストパターン 2 3 が x 方向に長さ d だけずれた場合のセグメントの平面図を示しており、レジストパターン 2 3 は一辺の長さが $2^{1/2}a$ の正方形であり、クロム膜パターン 2 1 a の格子に対しては 45° 傾いている。従って、ハッチングで示した領域 6 1 が無効な領域となり、局所的部分に限定され、その面積 S_3 は $S_3 = 2d^2$ で示すことができ、アライメントエラーによる無効となる領域を小さくすることができる。

【選択図】 図 1 7

【書類名】 手続補正書

【整理番号】 11250853B

【提出日】 平成12年 8月23日

【あて先】 特許庁長官 殿

【事件の表示】

 【出願番号】 平成11年特許願第250853号

【補正をする者】

 【識別番号】 000001007

 【氏名又は名称】 キヤノン株式会社

【代理人】

 【識別番号】 100075948

 【弁理士】

 【氏名又は名称】 日比谷 征彦

【手続補正 1】

 【補正対象書類名】 明細書

 【補正対象項目名】 全文

 【補正方法】 変更

 【補正の内容】 1

【手続補正 2】

 【補正対象書類名】 図面

 【補正対象項目名】 図 1 7

 【補正方法】 変更

 【補正の内容】 18

【手続補正 3】

 【補正対象書類名】 図面

 【補正対象項目名】 図 1 8

 【補正方法】 変更

 【補正の内容】 19

【手続補正 4】

【補正対象書類名】	図面
【補正対象項目名】	図 2 5
【補正方法】	変更
【補正の内容】	20
【プルーフの要否】	要

【書類名】 明細書

【発明の名称】 二次元位相素子及びその作製方法

【特許請求の範囲】

【請求項 1】 複数のセグメントを有し、セグメント間のアライメントエラーを局所的部分に限定してあることを特徴とする二次元位相素子。

【請求項 2】 基板上に第 1 のエッチングマスクを市松模様状に形成し、このマスクを基準としてエッチングを行うステップを含むことを特徴とする二次元位相素子の作製方法。

【請求項 3】 基板上に第 1 のエッチングマスクを市松模様状に形成し、第 1 のマスクに覆われない部分にマルチレベルの複数のセグメントを形成し、前記第 1 のエッチングマスクを反転した第 2 のエッチングマスクを形成し、前記第 1 のエッチングマスクを除去し、前記第 2 のエッチングマスクに覆われない部分にマルチレベルの複数のセグメントを形成するステップを有することを特徴とする二次元位相素子の作製方法。

【請求項 4】 前記第 1 のエッチングマスクはクロムの膜から成ることを特徴とする請求項 2 又は 3 に記載の二次元位相素子の作製方法。

【請求項 5】 前記第 1 のエッチングマスクはアルミニウムの膜から成ることを特徴とする請求項 2 又は 3 に記載の二次元位相素子の作製方法。

【請求項 6】 前記第 1 のエッチングマスクはアルミニウム、前記第 2 のエッチングマスクはクロムであることを特徴とする請求項 2 又は 3 に記載の二次元位相素子の作製方法。

【請求項 7】 前記第 1 のエッチングマスクはクロム、前記第 2 のエッチングマスクはアルミニウムであることを特徴とする請求項 3 に記載の二次元位相素子の作製方法。

【請求項 8】 前記基板が石英であることを特徴とする請求項 2 ～ 7 の何れか 1 つの請求項に記載の二次元位相素子の作製方法。

【請求項 9】 前記市松模様状エッチングマスクをフォトリソグラフィで形成するときのレチクルには光近接効果補正パターンを形成していることを特徴とする請求項 2 ～ 8 の何れか 1 つの請求項に記載の二次元位相素子の作製方法。

【請求項 1 0】 前記エッチングマスクとレジストで形成したエッチングマスクとを使って前記エッチングを行うことを特徴とする請求項 2 ～ 9 の何れか 1 つの請求項に記載の二次元位相素子の作製方法。

【請求項 1 1】 前記マルチレベルの複数のセグメントを形成した前記基板を型として素子を成形するステップを有することを特徴とする請求項 2 ～ 1 0 の何れか 1 つの請求項に記載の二次元位相素子の作製方法。

【請求項 1 2】 位相型コンピュータジェネレイテッドホログラム又は二次元バイナリ構造体又は位相変調板を作製することを特徴とする請求項 2 ～ 1 1 の何れか 1 つの請求項に記載の二次元位相素子の作製方法。

【請求項 1 3】 請求項 2 ～ 1 2 の何れか 1 つの請求項に記載の方法で作製した二次元位相素子を有する照明系。

【請求項 1 4】 請求項 1 3 に記載の照明系を用いた投影露光装置。

【請求項 1 5】 請求項 1 4 に記載の投影露光装置を用いてデバイスパターンによりウエハを露光する段階と該露光したウエハを現像する段階とを含むデバイス製造方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、半導体生産用の縮小露光装置の光学部品或いは光インタコネクション用素子の部品等に用いる位相型コンピュータジェネレイテッドホログラム (C G H) や二次元バイナリ構造体或いは位相変調板等の二次元位相素子及びその作製方法に関するものである。

【 0 0 0 2 】

【従来の技術】

Opulus E No.11 pp95-100(1996)による論文によると、レジスト塗布、レジストのパターニング、エッチングの工程を繰り返すことにより、基板に階段形状を製作する方法が開示されており、マスク数を L とすると 2^L の位相レベルを有するマルチレベル位相型 C G H が得られる。

【 0 0 0 3 】

図 2 4 は位相型 C G H を製作するためのフォトリソグラフィに用いるレチクルの平面図を示しており、図 2 4 (a)、(b)、(c) はそれぞれレチクル 1 a、1 b、1 c のパターンを示しており、ハッチングを示した領域は遮光部を示している。また、レチクル 1 a により深さ 6 1 n m、レチクル 1 b により深さ 1 2 2 n m、レチクル 1 c により深さ 2 4 4 n m のエッチングを施す。レチクル 1 a、1 b、1 c の使用する順は不同であるが、エッチング深さの浅いレチクル 1 a から行った方が、レジストのパターニング精度は向上する。

【0 0 0 4】

先ず、基板にレジストを塗布し、図 2 4 (a) に示すレチクル 1 a を用いてレジストをパターニングし、得られたレジストパターンをマスクとして深さ 6 1 n m のエッチングを行うと、図 2 5 (a) に示すようなエッチング深さ分布となる。なお、数字はエッチング深さ (n m) を示している。その後に、レジストパターンを剥離し、再度レジストを塗布し、図 2 4 (b) に示すレチクル 1 b を用いてレジストをパターニングし、得られたレジストパターンをマスクとし、更に深さ 1 2 2 n m のエッチングを行うと、図 2 5 (b) に示すようなエッチング深さ分布となる。更に、レジストパターンを剥離し、再度レジストを塗布し、図 2 4 (c) に示すレチクル 1 c を用いてレジストをパターニングし、得られたレジストパターンをマスクとし、更に深さ 2 4 4 n m のエッチングを行うと、図 2 5 (c) に示すようなエッチング深さ分布となる。

【0 0 0 5】

【発明が解決しようとする課題】

しかしながら上述の従来例のフォトリソグラフィにおいては、レチクル間のアライメントが必要であり、マルチレベル位相型 C G H を作製する場合に、理想的には図 2 6 に示すような形状になるべきであるが、実際にはアライメントエラーを生じ、図 2 7 に示す断面図のようなエッジに余分な誤差が生ずる。

【0 0 0 6】

図 2 8 はアライメントエラーにより、一辺 a の 2 回目のレジストパターンが x 方向に長さ d だけずれた場合のセグメントの平面図を示しており、領域 1 1 が最初のレジストパターンによるセグメントの境界を示しており、太線で示す領域 1

2 が 2 回目のレジストパターンを示している。従って、ハッチングで示す領域 1 3 が位相型 C G H として無効な領域となり、その面積 S 1 は式 (1) で示される。

$$S 1 = 2 a d \quad \cdots (1)$$

【 0 0 0 7 】

図 2 9 はアライメントエラーにより、2 回目のレジストパターンが x 方向及び y 方向に共に長さ d だけずれた場合のセグメントの平面図を示しており、細線で示される領域 1 1 が最初のレジストパターンによるセグメントの境界を示しており、太線で示す領域 1 4 が 2 回目のレジストパターンを示している。従って、ハッチングで示す領域 1 5 が位相型 C G H として無効な領域となり、その面積 S 2 は式 (2) で示される。

$$S 2 = 4 a d - 2 d^2 \quad \cdots (2)$$

【 0 0 0 8 】

また、上述の方法により製作した位相型 C G H を用いた照明系は、位相型 C G H が無効な領域を有するため、所望の場所以外に光束を投影したり、位相型 C G H による像が劣化したりするので、所望の性能を得ることができない。

【 0 0 0 9 】

従って、このような照明系を用いた投影露光装置も所望の性能を得ることができず、更にはこの投影露光装置を用いて半導体デバイスを作製する際に歩留低下等によりデバイスの生産性が低下し、デバイス価格は上昇する。

【 0 0 1 0 】

本発明の目的は、所望の性能を得ることができる二次元位相素子及びその作製方法を提供することにある。

【 0 0 1 1 】

【課題を解決するための手段】

上記目的を達成するための請求項 1 に係る本発明は、複数のセグメントを有し、セグメント間のアライメントエラーを局所的部分に限定してあるとを特徴とする二次元位相素子である。

【 0 0 1 2 】

請求項 2 に係る本発明は、基板上に第 1 のエッチングマスクを市松模様状に形

成し、このマスクを基準としてエッチングを行うステップを含むことを特徴とする二次元位相素子の作製方法である。

【 0 0 1 3 】

請求項 3 に係る本発明は、基板上に第 1 のエッチングマスクを市松模様状に形成し、第 1 のマスクに覆われない部分にマルチレベルの複数のセグメントを形成し、前記第 1 のエッチングマスクを反転した第 2 のエッチングマスクを形成し、前記第 1 のエッチングマスクを除去し、前記第 2 のエッチングマスクに覆われない部分にマルチレベルの複数のセグメントを形成するステップを有することを特徴とする二次元位相素子の作製方法である。

【 0 0 1 4 】

請求項 4 に係る本発明は、前記第 1 のエッチングマスクはクロムの膜から成ることを特徴とする請求項 2 又は 3 に記載の二次元位相素子の作製方法である。

【 0 0 1 5 】

請求項 5 に係る本発明は、前記第 1 のエッチングマスクはアルミニウムの膜から成ることを特徴とする請求項 2 又は 3 に記載の二次元位相素子の作製方法である。

【 0 0 1 6 】

請求項 6 に係る本発明は、前記第 1 のエッチングマスクはアルミニウム、前記第 2 のエッチングマスクはクロムであることを特徴とする請求項 2 又は 3 に記載の二次元位相素子の作製方法である。

【 0 0 1 7 】

請求項 7 に係る本発明は、前記第 1 のエッチングマスクはクロム、前記第 2 のエッチングマスクはアルミニウムであることを特徴とする請求項 3 に記載の二次元位相素子の作製方法である。

【 0 0 1 8 】

請求項 8 に係る本発明は、前記基板が石英であることを特徴とする請求項 2 ～ 7 の何れか 1 つの請求項に記載の二次元位相素子の作製方法である。

【 0 0 1 9 】

請求項 9 に係る本発明は、前記市松模様状エッチングマスクをフォトリソグラ

フィで形成するときのレチクルには光近接効果補正パターンを形成していることを特徴とする請求項 2 ～ 8 の何れか 1 つの請求項に記載の二次元位相素子の作製方法である。

【 0 0 2 0 】

請求項 1 0 に係る本発明は、前記エッチングマスクとレジストで形成したエッチングマスクとを使って前記エッチングを行うことを特徴とする請求項 2 ～ 9 の何れか 1 つの請求項に記載の二次元位相素子の作製方法である。

【 0 0 2 1 】

請求項 1 1 に係る本発明は、前記マルチレベルの複数のセグメントを形成した前記基板を型として素子を成形するステップを有することを特徴とする請求項 2 ～ 1 0 の何れか 1 つの請求項に記載の二次元位相素子の作製方法である。

【 0 0 2 2 】

請求項 1 2 に係る本発明は、位相型コンピュータジェネレイテッドホログラム又は二次元バイナリ構造体又は位相変調板を作製することを特徴とする請求項 2 ～ 1 1 の何れか 1 つの請求項に記載の二次元位相素子の作製方法である。

【 0 0 2 3 】

請求項 1 3 に係る本発明は、請求項 2 ～ 1 2 の何れか 1 つの請求項に記載の方法で作製した二次元位相素子を有する照明系である。

【 0 0 2 4 】

請求項 1 4 に係る本発明は、請求項 1 3 に記載の照明系を用いた投影露光装置である。

【 0 0 2 5 】

請求項 1 5 に係る本発明は、請求項 1 4 に記載の投影露光装置を用いてデバイスパターンによりウエハを露光する段階と該露光したウエハを現像する段階とを含むデバイス製造方法である。

【 0 0 2 6 】

【発明の実施の形態】

本発明を図 1 ～ 図 2 3 に図示の実施例に基づいて詳細に説明する。

図 1 において、先ず石英基板上に膜厚約 1 0 0 n m のクロム膜 2 1 を成膜し、

更にこのクロム膜 2 1 上にフォトリソグラフィにより市松模様（チェッカフラッグ）状の幅 $1\ \mu\text{m}$ のレジストパターン 2 2 をエッチングマスクとして形成する。

【 0 0 2 7 】

本実施例においては、基板材料として石英を使用しているが、フッ化カルシウム、フッ化マグネシウム、フッ化リチウム、フッ化アルミニウム等のフッ化物を用いてもよい。フッ化物は特に A r F エキシマレーザー光や、 F_2 （フッ素）エキシマレーザー光等の短波長の露光光を用いる露光装置に用いる位相型 C G H や位相変調板の材料として有効である。また、石英は A r F エキシマレーザー光、K r F エキシマレーザー光又は超高圧水銀ランプを使用した i 線等の露光装置に用いる位相型 C G H や位相変調板の材料として適している。また、レジストパターン 2 2 の形成には、ステッパ、E B 描画装置、イオン描画装置の何れかを用いる。

【 0 0 2 8 】

図 2 は基板の各セグメントにおけるエッチング深さの分布を示しており、後述する図 4、図 6、図 8、図 1 2、図 1 4 においても同様である。図 2 は基板のエッチングが行われていない状態であるため、各セグメントの深さは全て 0 (n m) である。

【 0 0 2 9 】

次に、平行平板 R I E 法により、レジストパターン 2 2 をマスクとして、クロム膜 2 1 を例えば塩素及び酸素から成る混合ガスを用いエッチングし、クロム膜パターンを形成する。また、R I E 法以外にスパッタエッチングや特にフッ化物系材料の場合に最適なイオンミリング法、I C P 法や U H F プラズマ法等の低圧高密度プラズマを用いたエッチング方法を用いてもよい。

【 0 0 3 0 】

続いて、このレジストパターン 2 2 を剥離することにより、図 3 に示すようなクロム膜パターン 2 1 a を形成することができ、フォトリソグラフィによりレジストパターン 2 3 を形成する。また、このレジストパターン 2 3 はセグメントの対角線の長さを直径とする円形を示しているが、

セグメントの対角線の長さを一辺の長さとする正方形としてもよい。

【0031】

次に、クロム膜パターン21aとレジストパターン23とをマスクとして、石英基板をRIE法により深さ61nmエッチングする。また、図4はこの1回目のエッチング後の石英基板の各セグメントにおけるエッチング深さ(nm)の分布を示している。

【0032】

更に、このレジストパターン23を剥離した後に、再度フォトレジストを塗布しフォトリソグラフィにより、図5に示すようなレジストパターン24を形成する。また、レジストパターン24はレジストパターン23と同様に円形を示しているが、セグメントの対角線の長さを一辺の長さとする正方形としてもよい。続いて、このクロム膜パターン21aとレジストパターン24とをマスクとして、石英基板をRIE法により更に深さ122nmエッチングする。また、図6は2回目のエッチング後の石英基板の各セグメントにおけるエッチング深さの分布を示している。

【0033】

次に、レジストパターン24を剥離し、再度フォトレジストを塗布しフォトリソグラフィにより、図7に示すようなレジストパターン25を形成し、クロム膜パターン21aとレジストパターン25とをマスクとして、RIE法により、更に深さ244nmエッチングする。図8は3回目のエッチング後の石英基板の各セグメントにおけるエッチング深さの分布を示している。また、レジストパターン25はレジストパターン23と同様に円形を示しているが、正方形でもよい。

【0034】

続いて、レジストパターン25を剥離し、その上にスパッタリング法により、図9に示すように膜厚100nmのアルミニウム膜31を全面に成膜する。次に、クロム膜パターン21aの表面が露出するまで研磨剤として、粒径5/100 μ mの酸化セリウム、研磨布としてウレタンシートを用い、ラップ盤により30rpm、50g/cm²の条件において研磨する。

【0035】

図 1 0 は研磨後の基板の平面図を示しており、クロム膜パターン 2 1 a 及びアルミニウム膜パターン 3 1 a が交互に配置されクロム膜パターン 2 1 の群とアルミニウム膜パターン 3 1 の群は何れも市松模様である。更に、クロム膜パターン 2 1 a を、例えば硝酸セリウムアンモニウムと過塩素酸と水の混合液によるエッチング液を用いてウエットエッチングすることにより除去する。このように、アルミニウム膜パターン 2 1 a を残してクロム膜パターン 2 1 a は除去することにより、クロム膜パターン 2 1 a から成る市松模様を反転したアルミニウム膜パターン 3 1 a の市松模様を形成することができる。

【 0 0 3 6 】

そして、更にフォトレジストを塗布し、フォトリソグラフィにより図 1 1 に示すようにレジストパターン 5 1 を形成する。レジストパターン 5 1 はセグメントの対角線の長さを直径とする円形の場合を示しているが、レジストパターン 2 3 と同様にセグメントの対角線の長さを一辺の長さとする正方形としてもよい。

【 0 0 3 7 】

アルミニウム膜パターン 3 1 a とフォトレジストパターン 5 1 とをマスクとして、石英基板を R I E 法により深さ 6 1 n m エッチングする。図 1 2 はこの 1 回目のエッチング後の石英基板の各セグメントにおけるエッチング深さの分布を示している。

【 0 0 3 8 】

次に、レジストパターン 5 1 を剥離し、再度フォトレジストを塗布し、フォトリソグラフィにより図 1 3 に示すようにレジストパターン 5 2 を形成する。そして、アルミニウム膜パターン 3 1 a とレジストパターン 5 2 とをマスクとして、更に石英基板を深さ 1 2 2 n m エッチングする。図 1 4 はこの石英基板の各セグメントにおけるエッチング深さを示している。また、レジストパターン 5 2 はセグメントの対角線の長さを一辺の長さとする正方形としてもよい。

【 0 0 3 9 】

続いて、レジストパターン 5 2 を剥離し、再度フォトレジストを塗布し、フォトリソグラフィにより図 1 5 に示すようにレジストパターン 5 3 を形成する。そして、アルミニウム膜パターン 3 1 a とレジストパターン 5 3 とをマスクとして

、石英基板を深さ 2 4 4 n m エッチングする。図 1 6 は石英基板の各セグメントのエッチング深さの分布を示している。また、レジストパターン 5 3 はセグメントの対角線の長さを一辺の長さとする正方形としてもよい。

【 0 0 4 0 】

更に、レジストパターン 5 3 を剥離した後に、アルミニウム膜パターン 3 1 a を例えばリン酸、硝酸、酢酸、水の混合溶液を用いてウェットエッチングにより除去することにより、8 段形状（8 レベルの深さ分布）を有する位相型 C G H を得ることができる。

【 0 0 4 1 】

図 1 7 はアライメントエラーにより、中央のセグメント 6 1 を被うべきレジストパターン 2 3 が x 方向に長さ d だけずれた場合のセグメントの平面図を示しており、レジストパターン 2 3 は一辺の長さが $2^{1/2}a$ の正方形であり、クロム膜パターン 2 1 a の格子（正方形 2 1 a）に対しては 45° 傾いている。なお、6 2 はエッチングすべきセグメントである。

【 0 0 4 2 】

図 3、図 5、図 7 において、レジストパターン 2 3 は円形のものを用いたが、図 1 7 においては説明を簡略化するために正方形のものを使用している。従って、ハッチングで示した領域 6 3 が無効な領域となり、局所的部分に限定され、その面積 S_3 は式 (3) で示される。図 2 8 の従来例と比較すると、 $d < a$ である限り、 $S_1 > S_3$ が成立する。

$$S_3 = 2 d^2 \quad \dots (3)$$

【 0 0 4 3 】

通常のパターンニングでは、 $d \ll a$ の条件においてアライメントが行えるため、本実施例のレジストパターン 2 3 は、従来例において示したレジストパターン 1 2 よりも無効な領域を小さくすることができるパターンであると云える。

【 0 0 4 4 】

図 1 8 はアライメントエラーにより、中央のセグメントを被うべきレジストパターン 2 3 が x 方向及び y 方向にそれぞれ長さ d だけずれた場合のセグメントの平面図を示しており、レジストパターン 2 3 は図 1 7 と同様に、一辺の長さは 2

$1/2 a$ の正方形であり、クロム膜パターン 2 1 a の格子（正方形 2 1 a）に対して 45° 傾いている。

【0 0 4 5】

従って、ハッチングで示した領域 6 4 が無効な領域となり、局所的部分に限定され、その面積 S_4 は次の式 (4) で示されるので図 2 9 の従来例と比較すると、 $d < 2 a / 3$ である限り、 $S_2 > S_4$ が成立する。

$$S_4 = 4 d^2 \dots (4)$$

【0 0 4 6】

通常のパターンニングでは、 $d \ll a$ の条件においてアライメントが行えるため、本実施例のレジストパターン 2 3 は従来例において示したレジストパターン 1 2 より無効な領域を小さくすることができるパターンであると云える。

【0 0 4 7】

本実施例においては、図 1 7 と図 1 8 の 2 つのモデルを用いて従来例と比較したが、任意の方向にアライメントエラーが生じた際にも、本実施例のアライメントエラーの方が無効な領域を小さくすることができる。

【0 0 4 8】

図 1 9 (a) は本実施例における市松模様状のクロム膜パターンを形成するためのレチクルの概略図を示している。しかし、図 1 9 (a) に示すレチクルを用いて形成したレジストパターンは図 1 9 (b) に示すようになり、正確なクロム膜パターンを形成することができない。

【0 0 4 9】

そこで、光近接効果補正を行った図 1 9 (c) に示すようなレチクルを用いることにより、図 1 9 (d) に示すようなレジストパターンを得ることができ、より正確なクロム膜パターンが作製可能となる。

【0 0 5 0】

さて、上記の実施例の方法で作製した位相型 CGH 或いは二次元バイナリ構造体或いは位相変調板には、必要に応じて反射防止膜を形成する。基板に反射材料を用いたり、蒸着、メッキ、スパッタ、CVD 法等の方法により反射材料を成膜することにより、反射型の位相型 CGH 或いは反射型の二次元バイナリ構造体或

いは反射型の位相変調板を作製することもできる。また、この反射型の素子の基板上に表面に反射増強膜を形成してもよい。

【 0 0 5 1 】

図 2 0 は階段状回折光学素子の作製模式図を示しており、図 2 0 に示すように上記実施例において作製した位相型 C G H を型として用い、樹脂製の階段状回折光学素子を作製することができる。先ず、図 2 0 (a) に示すようにガラス基板 7 1 にシリンジ 7 2 を用いて、反応硬化型樹脂即ちアクリル系、エポキシ系等の紫外線硬化型樹脂か、或いは熱硬化型樹脂等の樹脂 7 3 を滴下する。

【 0 0 5 2 】

次に、図 2 0 (b) に示すように本実施例における方法により作製した位相型 C G H 7 4 を樹脂 7 3 の上面から押圧することにより、図 2 0 (c) に示すようなレプリカ層 7 5 を形成する。この際に、型となる位相型 C G H 7 4 を樹脂 7 3 に押圧する前に、位相型 C G H 7 4 の表面に必要に応じ離型剤を塗布することにより離型し易くする。

【 0 0 5 3 】

次に、紫外線硬化型樹脂を用いた場合には型となるガラス基板 7 1 の側から紫外線を照射し、樹脂 7 3 を固化させる。また、熱硬化型樹脂を用いた場合には加熱処理を施すことにより樹脂 7 3 を固化させる。その後、ガラス基板 7 1 からレプリカ層 7 5 を剥離することにより、図 2 0 (d) に示すような階段状回折光学素子 7 6 を得ることができる。

【 0 0 5 4 】

図 2 1 は本実施例により作製した位相型 C G H を用いた i 線或いは K r F エキシマレーザー光等の紫外線を露光光に用いた半導体用露光装置の照明系の概略図を示している。光源 8 1 から出射した光束は、ビーム整形光学系 8 2 を介して位相型 C G H 8 3 に入射する。この C H G 素子 8 3 を透過した光束はリレーレンズ系 8 4、絞り 8 5、ズーム光学系 8 6、多光束発生光学系 8 7、照射手段 8 8 を介してレチクル 8 9 に照射される。これにより、レチクル 8 9 の回路パターンが図示しない投影光学系によってウエハ上に投影される。

【 0 0 5 5 】

位相型CGH83は輪帯状或いは4重極状の光を絞り85の位置に作り出す役割を有しており、上述した方法により作製された位相型CGHを使用することにより、輪帯照明や4重極照明などの変形照明時の光学性能及び光の利用効率を向上させることができる。更に、この照明系を用いてi線或いはKrFエキシマレーザー光等の紫外線を露光光に用いた半導体用露光装置を作製すると、高性能な半導体用露光装置を完成することができる。

【0056】

図22はICやLSI等の半導体チップ、液晶パネル或いはCCD等の半導体デバイスの製造工程のフローチャート図を示している。先ず、ステップS1において半導体デバイスの回路設計を行い、続いてステップS2においてステップS1で設計した回路パターンをEB描画装置等を用いマスクを作成する。一方、ステップS3においてシリコン等の材料を用いてウェハを製造する。その後、前工程と呼ばれるステップS4において、ステップS2、S3において用意したマスク及びウェハを用い、マスクを上述の露光装置内にローディングし、マスクを搬送しマスクチャックにチャッキングする。

【0057】

次に、ウェハを上述の露光装置内にローディングしてアライメントのずれを検出し、ウェハステージを駆動して位置合わせを行い、アライメントが合致したならば露光を行う。露光の終了後にウェハは次のショットヘステップ移動し、リソグラフィ技術によってウェハ上に回路を形成する。更に、後工程と呼ばれるステップS5において、ステップS4によって製造されたウェハを用いてダイシング、ボンディング等のアッセンブリ工程、チップ封入等のパッケージング工程を経て半導体チップ化する。チップ化された半導体デバイスは、ステップS6において動作確認テスト、耐久テスト等の検査を行う。このような一連の工程を経て半導体デバイスは完成し、ステップS7に進み出荷される。

【0058】

図23は図22におけるウェハプロセス（ステップS4）の詳細な製造工程のフローチャート図を示している。先ず、ステップS11においてウェハ表面を酸化させる。続いて、ステップS12においてウェハ表面をCVD法により絶縁膜

を形成し、ステップ S 1 3 において電極を蒸着法により形成する。更にステップ S 1 4 に進みウェハにイオンを打込む。続いて、ステップ S 1 5 においてウェハ上に感光剤を塗布する。ステップ S 1 6 では半導体露光装置によりマスクの回路パターンをウェハ上の感光剤上に焼付ける。

【 0 0 5 9 】

ステップ S 1 7 において、ステップ S 1 6 において露光したウェハ上の感光剤を現像する。更に、ステップ S 1 8 でステップ S 1 7 において現像したレジスト像以外の部分をエッチングする。その後に、ステップ S 1 9 においてエッチングが済んで不要となったレジストを剥離する。更に、これらの一連の工程を繰り返し行うことにより、ウェハ上に多重の回路パターンを形成することができる。

【 0 0 6 0 】

以上説明した二次元位相素子及びその作製方法は、市松模様の第 1 のエッチングマスクと組み合わせる第 2 のエッチングマスクとしてのレジストパターンをセグメントの対角線の長さを直径とする円形又はセグメントの対角線の長さを一辺の長さとするセグメントに対して 45° 傾いた正方形とすることにより、アライメントエラーを局所的部分に限定し、位相型 CGH 或いは二次元バイナリ構造体或いは位相変調板を従来よりも正確に作製でき、従ってそれらの光学性能を向上させることができる。

【 0 0 6 1 】

【発明の効果】

このように本発明によれば、所望の性能を有する二次元位相素子を得ることができる。

【図面の簡単な説明】

【図 1】

本発明の一実施例の基板上のレジストパターンの平面図である。

【図 2】

本発明の一実施例の基板のエッチング深さの分布図である。

【図 3】

レジストパターンの平面図である。

【図 4】

本発明の一実施例の基板のエッチング深さの分布図である。

【図 5】

本発明の一実施例の基板上的レジストパターンの平面図である。

【図 6】

本発明の一実施例の基板のエッチング深さの分布図である。

【図 7】

本発明の一実施例の基板上的レジストパターンの平面図である。

【図 8】

本発明の一実施例の基板のエッチング深さの分布図である。

【図 9】

本発明の一実施例のアルミニウム膜を形成した基板の平面図である。

【図 1 0】

本発明の一実施例のアルミニウム膜を所定量研磨した基板の平面図である。

【図 1 1】

本発明の一実施例の基板上的レジストパターンの平面図である。

【図 1 2】

本発明の一実施例の基板のエッチング深さの分布図である。

【図 1 3】

本発明の一実施例の基板上的レジストパターンの平面図である。

【図 1 4】

本発明の一実施例の基板のエッチング深さの分布図である。

【図 1 5】

本発明の一実施例の基板上的レジストパターンの平面図である。

【図 1 6】

本発明の一実施例の基板のエッチング深さの分布図である。

【図 1 7】

実施例のレジストパターンがずれた場合の無効領域の説明図である。

【図 1 8】

実施例におけるレジストパターンがずれた場合の無効領域の説明図である。

【図 1 9】

レチクルの平面図である。

【図 2 0】

階段状回折光学素子の作製模式図である。

【図 2 1】

半導体用露光装置の照明系の概略図である。

【図 2 2】

半導体素子の製造方法のフローチャート図である。

【図 2 3】

半導体素子の製造方法のフローチャート図である。

【図 2 4】

レチクルの平面図である。

【図 2 5】

エッチング深さの分布図である。

【図 2 6】

位相型 C G H の断面図である。

【図 2 7】

位相型 C G H の断面図である。

【図 2 8】

従来のレジストパターンがずれた場合の無効領域の説明図である。

【図 2 9】

従来のレジストパターンがずれた場合の無効領域の説明図である。

【符号の説明】

2 1 クロム膜

2 1 a クロム膜パターン

2 2、2 3、2 4、2 5、5 1、5 2、5 3 レジストパターン

3 1 アルミニウム膜

3 1 a アルミニウム膜パターン

6 3、6 4 領域

7 1 ガラス基板

7 2 シリンジ

7 3 樹脂

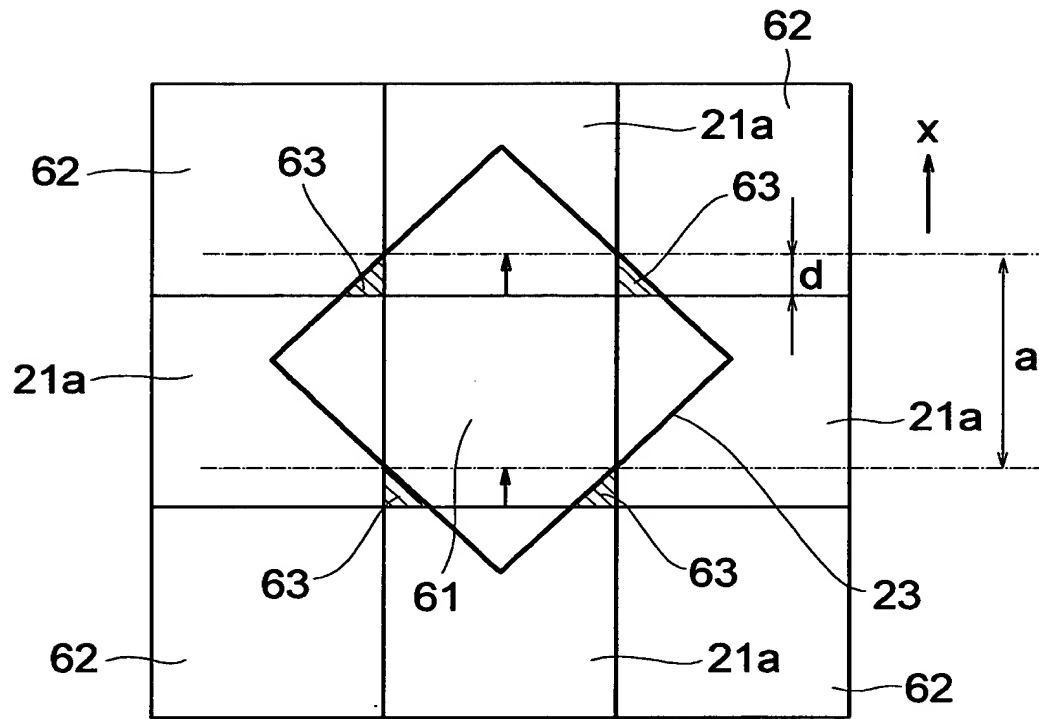
7 4 位相型 C G H

7 5 レプリカ層

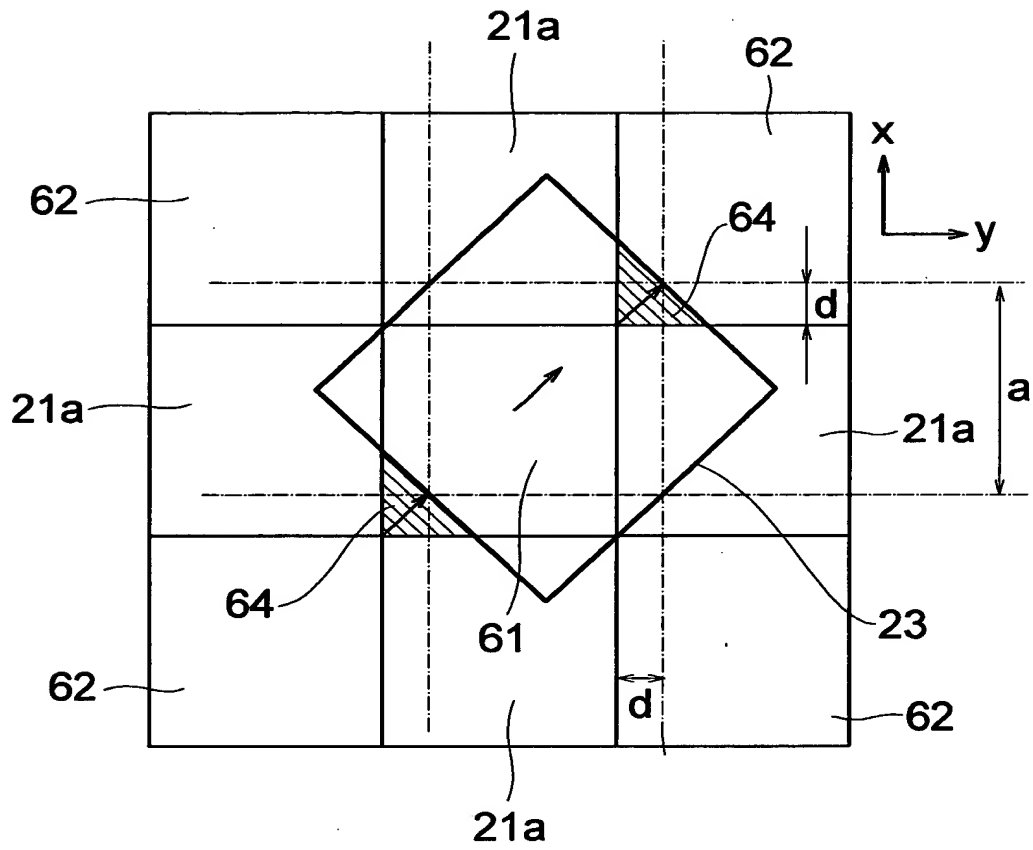
7 6 階段状回折光学素子

2 7 整形された C G H

【図 1 7】



【図 1 8】



【図 2 5】

(a)

0	61	0	0
0	0	61	61
61	61	0	0
0	0	0	61

(b)

122	183	122	0
0	122	61	183
183	61	122	0
0	122	0	183

(c)

122	183	122	0
244	366	305	427
427	61	122	244
0	122	244	183

認定・付加情報

特許出願の番号	平成11年 特許願 第250853号
受付番号	50001066480
書類名	手続補正書
担当官	大井手 正雄 4103
作成日	平成12年 8月28日

<認定情報・付加情報>

【補正をする者】

【識別番号】

000001007

【住所又は居所】

東京都大田区下丸子3丁目30番2号

【氏名又は名称】

キヤノン株式会社

【代理人】

申請人

【識別番号】

100075948

【住所又は居所】

東京都足立区梅島3-3-24 ステーションプ

ラザ318 日比谷特許事務所

【氏名又は名称】

日比谷 征彦

出 願 人 履 歴 情 報

識別番号 [000001007]

1. 変更年月日 1990年 8月30日
[変更理由] 新規登録
住 所 東京都大田区下丸子3丁目30番2号
氏 名 キヤノン株式会社